



KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Publication No.: 2000-0025706 (43) Publication Date: 6 May 2000
(21) Application No.: 10-1998-0042872 (22) Application Date: 13 October 1998
(51) IPC Code:
H01L 27/10

(71) Applicant:
Churl-sung Hwang
School of Materials Science and Engineering, Seoul National University, San 56-1,
Shilim-dong, Kwanak-gu, Seoul, Korea

(72) Inventor:
HWANG, CHURL SUNG

(54) Title of the Invention:
Method of Manufacturing Ferroelectric RAM Capacitor

Abstract:

A method of manufacturing a ferroelectric RAM (FeRAM) is provided. A dense layer of Al_2O_3 is additionally formed as a barrier layer of a capacitor formed on a PZT layer, using aluminum sputtering or CVD and heat treatment which are widely used in semiconductor manufacturing processes, thereby forming a dual structure of $\text{TiO}_2/\text{Al}_2\text{O}_3$. Accordingly, diffusion and volatilization of Pb in the PZT layer can be prevented during a succeeding heat treatment, thereby uniforming the composition rate of Pb in the PZT layer. Consequently, a ferroelectric characteristic can be prevented from changing. In addition, defects are prevented from occurring in the interface between the PZT layer and an upper electrode, thereby increasing yield and the reliability of the device in operation.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

H01L 27/10

(11) 공개번호

특 2000-0025706

(43) 공개일자

2000년 05월 06일

(21) 출원번호 10-1998-0042872

(22) 출원일자 1998년 10월 13일

(71) 출원인 황철성

(72) 발명자 서울특별시 관악구 신림동 산56-1 서울대학교 재료공학부
황철성

(74) 대리인 서울특별시 관악구 신림동 산56-1 서울대학교 재료공학부
이정훈

상세청구 : 있음

(54) 강유전성량 커패시터의 제조방법

요약

본 발명은 FeRAM 커패시터 제조방법에 관한 것으로서, 기존의 반도체 공정에서 널리 쓰이고 있는 Al의 스퍼터링이나 CVD 공정과 열처리 공정을 이용하며, PZT 막상에 구비되는 커패시터의 장벽층으로서 치밀한 구조의 Al_2O_3 막을 추가하여 TiO_2/Al_2O_3 의 이중 적층구조로 형성하였으므로, 후속 열처리 공정에 따른 PZT막내에서의 Pb의 확산 및 휘발이 방지되며 막내의 Pb 조성을 균일하게 하여 강유전 특성 변화를 방지하고, PZT막과 상부전극 계면의 결함 발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

도표도

도5

명세서

도면의 간단한 설명

도 1a 및 도 1b는 $BaTiO_3$ 의 결정구조를 설명하기 위한 개략도.

도 2는 종래 기술의 일 실시예에 따른 FeRAM 커패시터의 일부 단면도.

도 3은 종래 기술의 다른 실시예에 따른 FeRAM 커패시터의 일부 단면도.

도 4a는 도3의 PZT막의 열처리 전 단계에서의 조성비 그래프.

도 4b는 도3의 PZT막의 열처리 후 단계에서의 조성비 그래프.

도 5는 도 4b의 단면 TEM사진.

도 6은 본 발명에 따른 FeRAM 캐패시터의 일부 단면도.

도 7은 도 6의 장벽층이 형성된 상태의 단면 TEM사진.

도 8은 도 6의 열처리 후 단계에서의 단면 TEM사진.

도 9는 도 8의 PZT막의 조성비 그래프.

<도면의 주요 부분에 대한 부호의 설명>

10 : 평탄화막	12 : 하부도전층
14 : PZT막	16 : 상부도전층
18 : 패시베이션막	20 : 금속배선
22, 24 : 장벽층	24a : TiO_2 층
24b : Al_2O_3 층	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유체막을 이용한 비휘발성 메모리(Ferroelectric RAM: 이하FeRAM이라 칭함)인 FeRAM의 캐패시터 제조방법에 관한 것으로서, 특히 캐패시터 형성 후에 전면에 형성되어 강유전성 막의 열화를 방지하는 장벽층을 티타늄산화막(TiO_2)/알루미늄 산화막(Al_2O_3)의 두층으로 형성하되, 알루미늄 산화막은 알루미늄 증착후 열 산화시켜 형성하여 PZT막의 강유전 특성 열화를 방지하고, 막질을 균일하게 유지시켜 소자의 동작특성을 향상시킬 수 있는 FeRAM의 캐패시터 제조방법에 관한 것이다.

최근 반도체 소자의 고집적화 추세에 따라 셀 크기가 감소되어 충분한 정전용량을 갖는 캐패시터를 형성하기가 어려워지고 있으며, 특히, 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게 하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.

이때 상기 캐패시터는 공정상의 편의성 및 경제성 등을 고려하여 주로 다결정 실리콘을 도전체로 하여 산화막, 질화막 또는 그 적층막인 오.엔.오(oxide-nitride-oxide)막을 유전체로 사용하고 있다.

따라서 캐패시터의 정전용량(C)은 $C=(\epsilon_r \times \epsilon_0 \times A)/T$

여기서 ϵ_0 은 진공 유전율(permittivity of vacuum), ϵ_r 은 유전막의 유전상수(dielectric constant), A는 캐패시터의 표

면적, T는 유전막의 두께로 표시되는 캐패시터의 정전용량(C)을 증가시키기 위하여 유전상수가 높은 물질을 유전체로 사용하거나, 유전막을 얇게 형성하거나 또는 전하저장전극의 표면적을 증가시키기 위하여 다결정실리콘층을 다층으로 형성한 후, 이들을 관통하여 서로 연결시키는 핀(Fin) 구조로 형성하거나, 콘택의 상부에 실린더 형상의 전하저장전극을 형성하는 등의 방법을 사용하기도 한다.

그러나 이러한 방법들은 모두 각각의 문제점을 가지고 있다.

즉, 유전막 두께를 감소시키는 것은 소자 동작시 유전막이 파괴되어 캐패시터의 신뢰도에 심각한 영향을 주며, 캐패시터의 높이를 증가시키면 단차에 의해 후속 공정이 어려워지고, 다층의 고집적화에 따라 소자의 면적이 감소되어 정전용량 확보가 어려워지고 있다.

또한 높은 유전상수를 갖는 유전물질, 예를 들어 Ta_2O_5 , TiO_2 또는 $SrTiO_3$ 등이 연구되고 있으나, 이러한 물질들의 접합 파괴전압등과 같은 신뢰도 및 박막특성등이 확실하게 확인되어 있지 않아 실제 소자 제조공정에 적용하기가 어렵다.

상기와 같이 유전상수가 높은 물질들중 $(Ba-,Sr-)TiO_3$ (BST), $Pt,Pb(Zr,Ti)O_3$ (PZT), $SrBi,Ta_2O_5$ (SbT,YI) 등과 같은 강유전체막은 상온에서 유전상수가 수백~수천에 이르며, 두 개의 안정한 잔류분극(regainment polarization) 상태를 가지고 있어 박막화하면 전원이 꺼진 상태에서도 데이터를 기억하는 비휘발성(nonvolatile) 메모리 소자의 특성을 가지고 있어 FeRAM에 관한 관심이 고조되고 있다.

이는 강유전체를 미용할 경우 작은 면적에서 정전용량의 확보가 용이하고, 기존의 EPROM이나 EEPROM 등과 같은 비휘발성 메모리소자에 비하여 제조공정이 간단하며, 신뢰성과 동작속도가 높은 소자를 얻을 수 있기 때문이다.

상기 FeRAM은 강유전체 물질의 양방향 분극 안정성을 이용하여 전계가 제거되더라도 기억한 디지털 신호가 제거되지 않는 특징을 갖는 소자로서, 동작원리를 상세히 살펴보면 다음과 같다.

먼저, 강유전체의 양방향 안정성은 강유전 분역(domain)이라고 불리는 결정내의 영역이 균일한 자발분극을 갖고 이들이 가해진 전계의 방향과 나란히 분포하는데, 이 분역의 분극 방향이 전계의 방향에 의하여 조절되는 성질을 이용하는 것이 FeRAM 동작의 기본 원리라고 할 수 있다. 이들 분역의 전계에 따른 반전 속도는 보통 수 nsec~수십 nsec 정도인 것으로 알려져 있어, FeRAM은 원칙적으로 고속동작이 가능하며, 이들 분역의 반전에 필요한 전계의 크기가 기존 전자 터널링 현상을 이용한 불활성 기억소자의 그것에 비하여 1/3~1/4 정도로 작아 저소비 전력화를 달성할 수 있는 장점이 아울러 갖추고 있다.

그러나 FeRAM은 기존의 반도체 공정에서는 미용되지 않았던 PZT 등의 물질을 이용하기 때문에 아직은 여러 공정 단계의 개발이 필요한 상태이다.

특히 PZT 강유전체 박막재료의 제조는 FeRAM 공정의 핵심을 이루는 부분으로서 가장 공정이 어려운 부분이다. 이는 PZT 재료가 4성분계의 산화물이며 Pb와같이 휘발성이 매우 강한 성분을 포함하고 있어서 정확하고 재현성 있는 공정 실현이 기존의 반도체 공정 보다 매우 어렵기 때문이다. 상기의 PZT박막은 그 조성이 정확하게 조절되지 않으면 페로브스카이트(perovskite)의 결정구조가 잘 형성되지 않아 소자동작의 핵심인 자발분극의 형성이 어려워진다.

페로브스카이트 결정구조를 갖는 물질들 중 대표적인 물질인 $BaTiO_3$ 의 결정 구조를 도 1에 나타내고 있는데, 도 1a는 자발분극이 없는 상유전 상태를 나타내며, 도 1b는 자발 분극이 존재하는 강유전 상태를 나타낸다.

상기와 같은 이유로 인하여 현재 기업의 양산을 위한 연구에서 사용되고 있는 공정은 기존의 스퍼터링이나 화학기상증착(Chemical Vapor Deposition; 이하 CVD라 칭함) 공정과는 다른 솔-겔(sol-gel) 공정이 사용되고 있다.

상기 솔-겔(Sol-gel) 공정은 솔 상태의 원료용액을 기판 상에 스프인코팅 방법으로 도포하고, 단단계 열처리하여 겔(gel)화시킨 후, 결정화시키는 공정인데 공정이 복잡한 등의 여러 가지 단점에도 불구하고 재현성이 우수한 방법이다.

한편 PZT 강유전체막을 사용하는 캐패시터의 전극으로는 기존 반도체용 캐패시터에 사용되는 다결정실리콘이 아닌 Pt등과

같은 귀금속이나 RuO_4 등과 같은 산화물 전도체 전극이 사용되는데, 이들은 반응성이 높은 PZT와도 잘 반응하지 않아 우수한 전기적 특성을 나타낸다.

또한 FeRAM용 PZT 강유전박막 캐패시터 공정에서 전극 및 강유전체 공정과 함께 캐패시터 제조 후처리 공정인 패시베이션과 금속배선 공정이 또 하나의 핵심적인 공정이다. 이들 공정은 그 과정 중에 PZT 캐패시터와 여러 가지 물리적, 화학적 상호작용을 일으켜 PZT 캐패시터의 성능에 큰 영향을 준다. 이들 중에 가장 잘 알려진 것은 PZT와 절연 산화막과의 화학반응이다.

도 2는 종래 기술의 일 실시예에 따른 FeRAM 캐패시터의 일부 단면도로서, 좌우 대칭 형상에서 우측만을 도시한 것이며, 이를 참조하여 그 제조 공정을 살펴보면 다음과 같다.

먼저, 소정의 하부 구조물, 예를 들어 MOSFET 등이 형성되어있는 반도체기판(도시되지 않음)상에 평탄화막(10)을 형성하고, 상기 평탄화막(10)상에 하부도전층(12)과 PZT막(14)을 순차적으로 증착하고 열처리한 후, 상기 PZT막(14) 상에 상부도전층(16)을 형성한다. 이때 상기 하부 및 상부도전층(12), (16)은 Pt 등의 귀금속이나 RuO_4 등의 산화 도전층으로 형성한다. 그 다음 상기 상부도전층(16) 상에 캐패시터 패턴닝용 감광막패턴(도시되지 않음)을 형성하고, 이를 마스크로 상부도전층(16)과 PZT막(14) 및 하부도전층(12)을 순차적으로 식각하여 하부도전층(12) 패턴으로된 하부전극과 PZT막(14) 패턴으로된 강유전막 및 상부도전층(16) 패턴으로된 상부전극으로 구성되는 강유전체막 캐패시터를 형성한 후, 산화막 재질의 패시베이션막(18)을 형성하고, 콘택 오픈 후 금속배선(20)을 형성한다.

상기의 패시베이션막인 산화막은 PZT막의 Pb를 흡수하여 PZT막내의 Pb 농도를 감소시켜 소자의 전기적 특성을 열화시키는 문제점이 있다.

이러한 문제점을 해결하기 위하여 강유전체막 캐패시터의 표면에 장벽층을 형성한다.

도 3은 종래 기술의 다른 실시예에 따른 FeRAM 캐패시터의 일부 단면도로서, 장벽층을 형성한 예이며, 이를 참조하여 그 제조방법을 살펴보면 다음과 같다.

먼저, 도 1의 공정에서와 마찬가지로 평탄화막(10)상에 하부도전층(12) 및 PZT막(14) 증착 및 열처리 후, 상기 PZT막(14) 상에 상부도전층(16)을 형성하고, 캐패시터 패턴닝 마스크로 패턴닝하여 하부도전층(12) 패턴, PZT막(14) 패턴 및 상부도전층(16) 패턴으로된 강유전체막 캐패시터를 형성한다.

그 다음 상기 구조의 전표면에 소정재질, 예를 들어 TiO_2 로 된 장벽층(22)을 형성하고, 소정조건, 예를 들어 650°C에서 30분간 산소 분위기에서 열처리하여 장벽층(22)을 치밀화하고 누설전류를 방지한 후, 패시베이션막(18) 형성, 콘택 오픈 및 금속배선(20) 형성 공정을 진행한다. 여기서 상기의 장벽층(22)은 Pb의 산화막과의 반응을 방지할 뿐 아니라 캐패시터 형성후의 여러 열처리 공정 중에 Pb가 휘발하는 것을 방지한다.

상기와 같은 종래 기술에 따른 FeRAM 캐패시터의 제조방법은 Pb와 산화막의 반응 방지 및 캐패시터 형성후의 열처리 공정시의 Pb 휘발을 방지하기 위하여 장벽층을 형성하고 있으나, 장벽층 형성후 실시하는 열처리 공정전의 PZT막의 조성을 투과전자현미경-에너지분산 X선 분광법(TEM-EDX)으로 표면에서부터의 거리에 따라 나타낸 도 4a에서와 같이 열처리 전에는 Pb, Zr 및 Ti의 분포가 깊이 따라 거의 일정하게 분포되지만, 열처리 후에는 도 4b에서와 같이 장벽층이 Pb의 확산과 휘발을 방지하지 못하여 PZT막 전체의 Pb농도가 5%이상 감소되고, 특히 상부전극과 PZT층의 계면 근처의 Pb의 농도가 감소되고 상대적으로 Zr의 농도가 증가되어 PZT층의 강유전성을 떨어뜨리고, PZT막 전체의 조성비가 불균일하게 되어 소자의 동작 특성을 떨어뜨리는 문제점이 있다.

또한 열처리 후에는 도 5에서 볼 수 있듯이, Pb의 농도가 부족한 PZT 박막과 상부전극의 계면에 다량의 결함들이 발생하는 문제점이 있다. 도 5에서 볼 수 있는 결함은 주로 Pb의 농도가 매우 부족함에 기인하는 미소 비정질상이 되는데, 이들 미소 비정질상은 양이온 조성 분석 결과 Pb의 농도가 약 30%, Zr의 농도가 약 40%, Ti의 농도가 약 30% 정도 되는 물질로서, 이들은 캐패시터의 강유전성 동작을 방해하여 소자 동작의 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한것으로서, 본 발명의 목적은 FeRAM의 강유전체 캐패시터를 형성한 후, 증착하는 장벽층을 두층으로 형성하여 PZT막내의 Pb의 확산과 휘발을 방지하여 상부전극과 PZT층의 계면에서의 Pb의 농도 감소를 방지하고, PZT막 전체의 조성비를 균일하게 하여 소자의 동작특성을 향상시킬 수 있는 FeRAM의 캐패시터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 FeRAM의 캐패시터 제조방법의 특징은,

반도체기판상에 평탄화막을 형성하는 공정과,

상기 평탄화막 상에 하부도전층 패턴과 PZT막 패턴 및 상부도전층 패턴으로된 FeRAM 캐패시터를 형성하는 공정과,

상기 구조의 전표면에 TiO_2 층과 Al_2O_3 층의 이중 구조로된 장벽층을 형성하되, 상기 Al_2O_3 층은 Al 박막 증착후 산소 분위기에서 열처리하여 형성함에 있다.

이하, 본 발명에 따른 FeRAM의 캐패시터 제조방법에 관하여 첨부도면을 참조하여 상세히 설명한다.

도 6은 본 발명에 따른 FeRAM 캐패시터의 일부 단면도로서, 이를 참조하여 제조 방법을 상세히 설명한다.

먼저, MOS펫(MOS FET) 등이 형성되어있는 반도체기판(도시되지 않음)상에 비.파.에스.지(Boro Phosphor Silicate Glass ; 이하 BPSG라 칭함)나 테오스(Tetra Ethyl Ortho Silicate ; 이하 TEOS라 칭함) 산화막 등의 재질로된 평탄화막(10)을 형성하고, 상기 평탄화막(10)상에는 하부도전층(12) 패턴과 PZT막(14) 패턴 및 상부도전층(16) 패턴으로된 FeRAM 캐패시터를 형성하되, 상기 하부 및 상부도전층(12), (16)은 Pt등의 귀금속이나 RuO_4 등의 산화 도전층으로 형성하며, 상기 하부도전층(12)과 PZT막(14)의 증착 후에는 소정의 조건, 예를 들어 650℃, 산소 분위기에서 30분 정도 열처리한 후에 상부도전층(16) 증착 및 패턴닝 공정을 진행할 수도 있다.

그다음 상기 구조의 전표면에 두층의 장벽층(24)을 TiO_2 층(24a)과 Al_2O_3 층(24b)의 이중 구조로 형성하고, 전면에 산화막 재질의 패시베이션막(18) 도포, 콘택오픈 및 금속배선(20) 형성 공정을 순차적으로 진행한다.

여기서 상기 장벽층(24)을 구성하는 Al_2O_3 층(24b)은 치밀한 구조를 가지고 있어 우수한 확산방지막의 역할을 할 것으로 기대되어 온 재료로서, 종래에는 Al_2O_3 층 형성을 위하여 현재로서는 안정화되어 있지 않은 원자층 에피택시(Atomic Layer Epitaxy)등의 새로운 공정 기술의 도입을 요구하기 때문에 아직까지 실용화되기 못하고 있으며, Al_2O_3 층을 Al 타겟(target)을 이용하여 산소분위기에서 반응성 스퍼터링 방법으로 증착할 수도 있으나, 이 방법 역시 Al 타겟의 표면이 산화되어 증착 반응시 다량의 파티클을 발생시키기 때문에 실제 공정에서는 사용할 수 없었다.

이를 해결하기 위하여 본 발명자는 통상의 Al층 증착 공정으로 Al층을 5~50nm 정도의 두께를 소정의 조건, 예를 들어 5~20 mTorr 압력의 Ar 가스를 사용하고 1~5kW 정도의 DC 파워를 사용하여 상온에서 스퍼터링 증착방법으로 형성한 후, 산소 분위기의 650℃에서 30분간 열처리하여 Al_2O_3 층(24b)을 형성하였다. 상기 열처리 공정시 TiO_2 층(24a)이 치밀화되고 누설전류도 방지된다.

도 7은 본 발명에 따른 이중 장벽층(TiO_2/Al_2O_3)의 TEM 사진이며, 도 8은 열처리 후의 FeRAM의 단면으로서, 상기 이중 장벽층을 갖는 PZT층의 650℃에서의 열처리 이후에도 결함 발생이 억제되어 있음을 알 수 있으며, TEM-EDX 분석 결과인 도 9에서 알 수 있는 바와 같이, 초박막, 예를 들어 30nm 정도의 Al_2O_3 층을 TiO_2 층 위에 형성함으로써 열처리 공정 후에도 Pb의 확산이나 휘발이 방지되어 조성비의 변화를 발견 할 수 없었다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 FeRAM 캐패시터 제조방법은 기존의 반도체 공정에서 널리 쓰이고 있는 Al의 스퍼터링 공정을 이용하여, PZT막을 구비하는 캐패시터의 장벽층을 TiO_2/Al_2O_3 의 이중 구조로 형성하였으므로, 후속 열처리 공정에 따른 PZT막 내에서의 Pb의 확산 및 휘발이 방지되어 막내의 Pb 조성을 균일하게 하며 강유전 특성 변화를 방지하고, PZT막과 상부전극 계면의 결합 발생을 방지하여 공정수율 및 소자동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1. 반도체기판 상에 평탄화막을 형성하는 공정과,

상기 평탄화막 상에 하부도전층 패턴과 PZT막 패턴 및 상부도전층 패턴으로 된 FeRAM 캐패시터를 형성하는 공정과,

상기 구조의 전표면에 TiO_2 층과 Al_2O_3 층의 이중 구조로 된 장벽층을 형성하되, 상기 Al_2O_3 층은 Al 박막 증착후 산소 분위기에서 열처리하여 형성하는 것을 특징으로 하는 FeRAM의 캐패시터 제조방법.

청구항 2. 제1 항에 있어서,

상기 하부도전층과 PZT막의 증착 후에 650°C , 산소 분위기에서 30분 열처리하는 공정을 구비하는 것을 특징으로 하는 FeRAM의 캐패시터 제조방법.

청구항 3. 제 1 항에 있어서,

상기 하부 및 상부도전층을 Pt와 같은 귀금속 종류 또는 RuO_4 와 같은 산화도전층 종류로 형성하는 것을 특징으로 하는 FeRAM의 캐패시터 제조방법.

청구항 4. 제 1 항에 있어서,

상기 Al_2O_3 층은 Al층을 5~50nm 두께로 스퍼터링 증착이나 CVD 방법으로 형성한 후, 산소 분위기의 열처리하여 형성하는 것을 특징으로 하는 FeRAM의 캐패시터 제조방법.

청구항 5. 제 1항에 있어서,

상기 Al 박막은 5~50nm 두께로 형성하되, 5~20 mTorr Ar 가스, 1~5kW DC 파워로 상온에서 스퍼터링 증착방법으로 형성하고, 열처리는 산소 분위기에서 650°C 에서 30분간 실시하는 것을 특징으로 하는 FeRAM의 캐패시터 제조방법.

도면

도면1

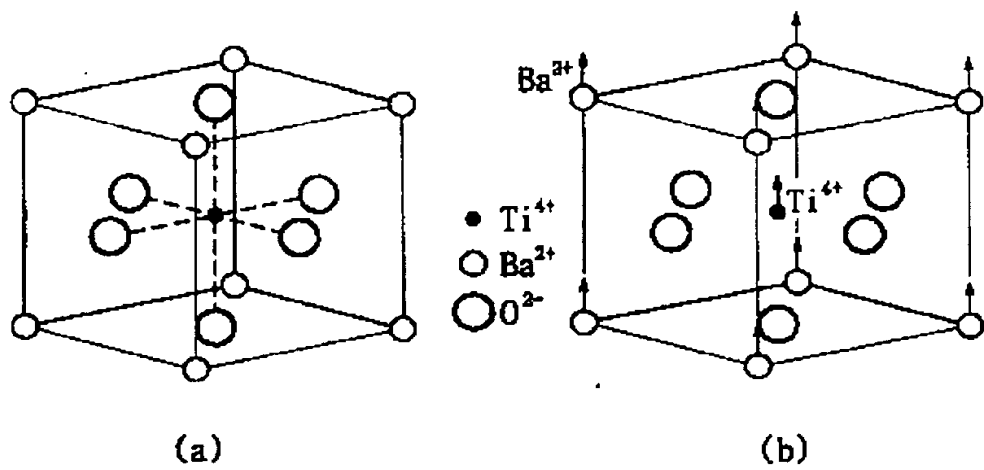


図 2

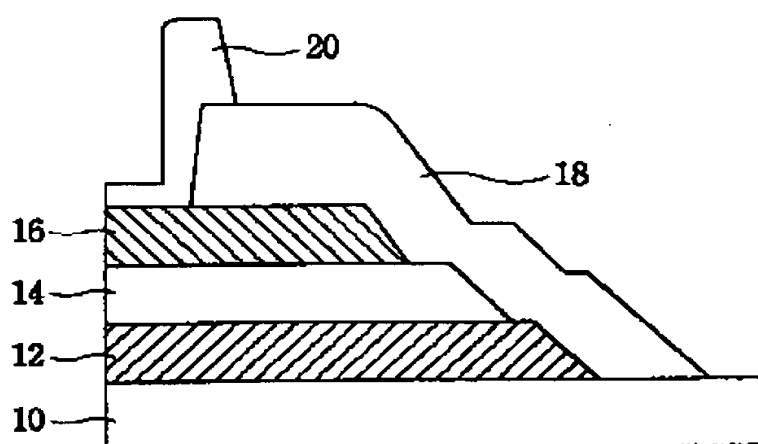
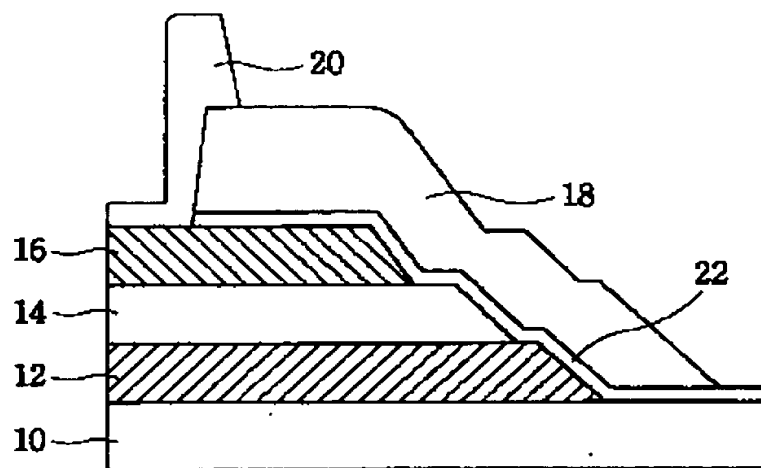
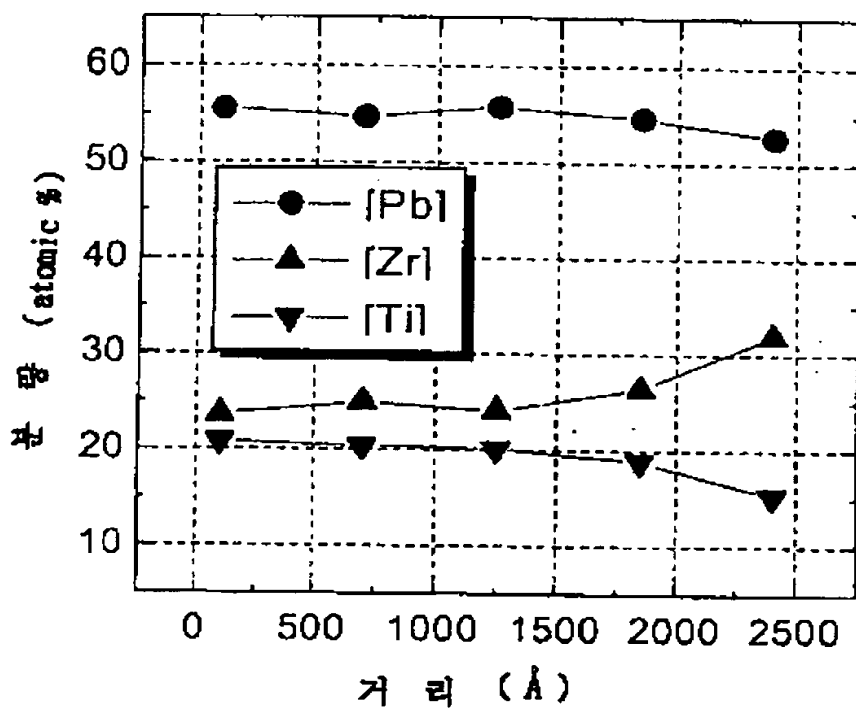


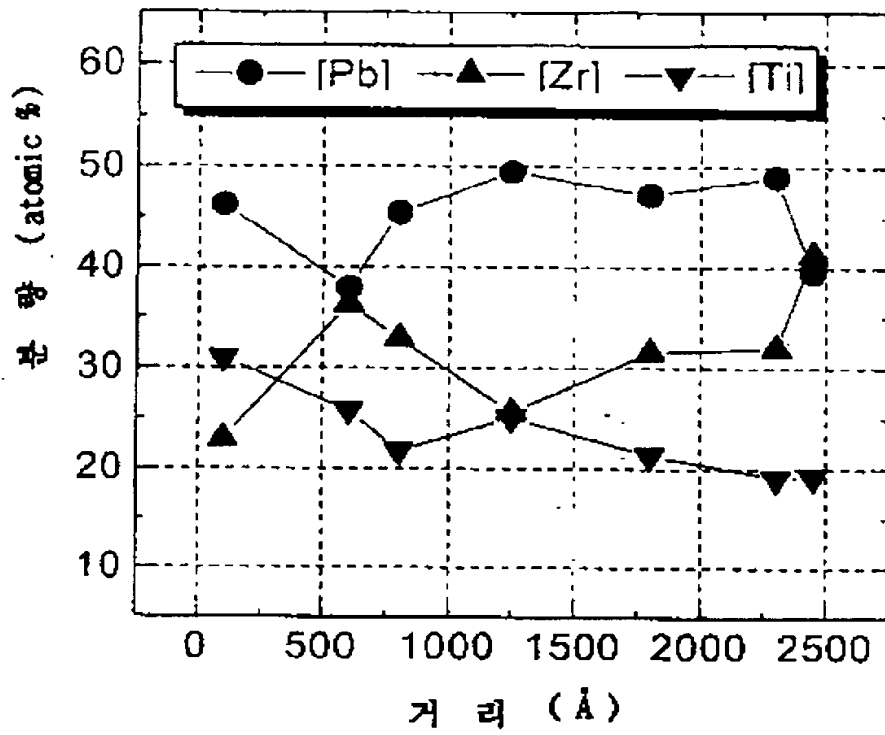
図 3



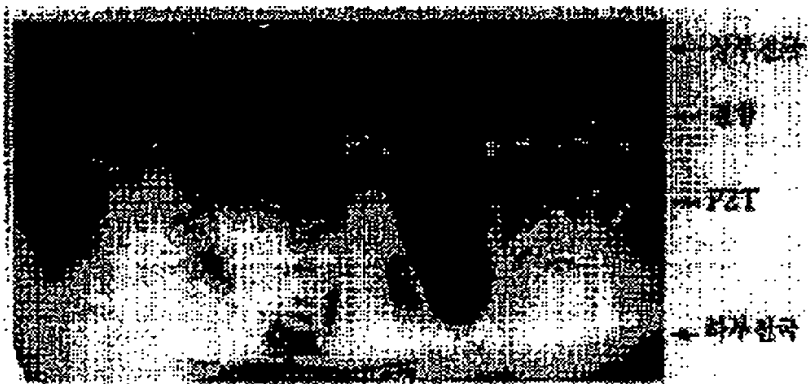
도면4a



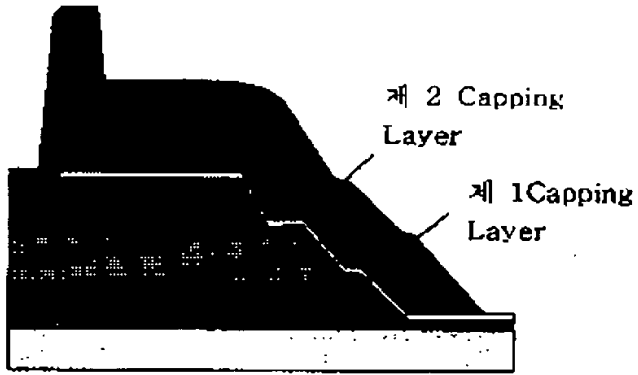
도면4b



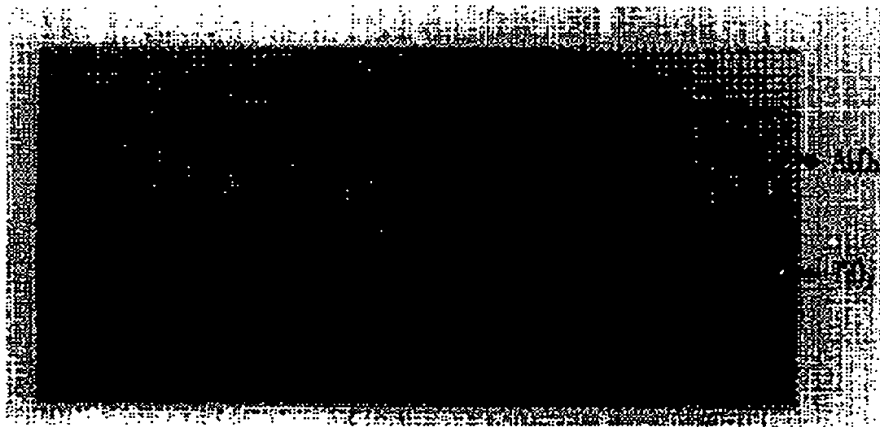
도면5



도면6



도면7



도면8



도면 9

